

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

03.03.2005

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 4 年    3 月 2 6 日  
Date of Application:

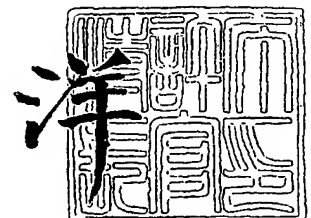
出 願 番 号            特 願 2 0 0 4 - 0 9 3 7 0 2  
Application Number:  
[ST. 10/C] :            [ J P 2 0 0 4 - 0 9 3 7 0 2 ]

出      願      人            サンケン電気株式会社  
Applicant(s):

2 0 0 4 年 1 2 月    2 日

特許庁長官  
Commissioner,  
Japan Patent Office

小 川



【書類名】 特許願  
【整理番号】 A0401  
【提出日】 平成16年 3月26日  
【あて先】 特許庁長官 殿  
【国際特許分類】 H01L 19/78  
H01L 21/8234

【発明者】  
【住所又は居所】 埼玉県新座市北野 3 丁目 6 番 3 号 サンケン電気株式会社内  
【氏名】 岩渕 昭夫

【発明者】  
【住所又は居所】 埼玉県新座市北野 3 丁目 6 番 3 号 サンケン電気株式会社内  
【氏名】 相沢 和也

【特許出願人】  
【識別番号】 000106276  
【氏名又は名称】 サンケン電気株式会社

【代理人】  
【識別番号】 100095407  
【弁理士】  
【氏名又は名称】 木村 満

【選任した代理人】  
【識別番号】 100109449  
【弁理士】  
【氏名又は名称】 毛受 隆典

【手数料の表示】  
【予納台帳番号】 038380  
【納付金額】 21,000円

【提出物件の目録】  
【物件名】 特許請求の範囲 1  
【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1  
【包括委任状番号】 0017501

**【書類名】 特許請求の範囲****【請求項 1】**

第 1 導電型の第 1 半導体領域と、前記第 1 半導体領域上に形成された第 2 導電型の第 2 半導体領域と、前記第 2 半導体領域の表面領域に、前記第 2 半導体領域の外周に沿うように形成され、且つ前記第 1 半導体領域よりも不純物濃度の高い第 1 導電型の第 3 半導体領域と、前記第 3 半導体領域の下面に隣接し、且つ前記第 1 半導体領域よりも不純物濃度の高い第 1 導電型の第 4 半導体領域と、前記第 2 半導体領域の表面領域に形成された第 1 導電型の第 5 半導体領域と、第 5 半導体領域の表面領域に形成された第 2 導電型の第 6 半導体領域とを有し、

前記第 2 半導体領域に第 1 の電極が電氣的に接続され、前記第 6 半導体領域に第 2 の電極が電氣的に接続され、前記第 5 半導体領域の上面に絶縁膜を介して制御電極が形成された半導体装置であって、

前記第 4 半導体領域は、前記第 1 半導体領域及び前記第 2 半導体領域内に形成され、前記第 3 半導体領域よりも前記第 5 半導体領域側に延伸するように形成されていることを特徴とする半導体装置。

**【請求項 2】**

前記第 4 半導体領域は、前記第 2 半導体領域を介して、前記第 5 半導体領域と対向することを特徴とする請求項 1 に記載の半導体装置。

**【請求項 3】**

前記第 2 半導体領域の表面領域に、前記第 2 半導体領域よりも高い不純物濃度を有する第 2 導電型の第 7 半導体領域を備え、第 1 の電極が電氣的に接続されることを特徴とする請求項 1 又は 2 に記載の半導体装置。

**【請求項 4】**

前記第 5 半導体領域の表面領域に形成され、且つ前記第 5 半導体領域よりも不純物濃度の高い第 8 半導体領域を備え、前記第 8 半導体領域にバックゲート電極が電氣的に接続されていることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の半導体装置。

**【請求項 5】**

前記第 7 半導体領域は、前記第 2 半導体領域の表面領域に形成され、前記第 7 半導体領域を包囲するように、前記第 5 半導体領域が閉環状に形成され、さらに、前記第 5 半導体領域を囲むように前記第 3 半導体領域が、閉環状に形成されていることを特徴とする請求項 3 又は 4 に記載の半導体装置。

**【請求項 6】**

第 1 導電型の第 1 半導体領域と、前記第 1 半導体領域上に形成された第 2 導電型の第 2 半導体領域と、前記第 2 半導体領域の表面領域に、前記第 2 半導体領域の外周に沿うように形成され、且つ前記第 1 半導体領域よりも不純物濃度の高い第 1 導電型の第 3 半導体領域と、前記第 3 半導体領域の下面に隣接し、且つ前記第 1 半導体領域よりも不純物濃度の高い第 1 導電型の第 4 半導体領域と、前記第 2 半導体領域の表面領域に形成された第 1 導電型の第 5 半導体領域と、第 5 半導体領域の表面領域に形成された第 2 導電型の第 6 半導体領域とを有し、

前記第 2 半導体領域に第 1 の電極が電氣的に接続され、前記第 6 半導体領域に第 2 の電極が電氣的に接続され、前記第 5 半導体領域の上面に絶縁膜を介して制御電極が形成された半導体装置であって、

前記第 4 半導体領域は、前記第 1 半導体領域及び前記第 2 半導体領域内に形成され、前記第 3 半導体領域よりも第 1 の電極側に延伸するように形成されている突片部と、前記突片部よりも第 1 の電極側に延伸しないように形成されている部分とを備えることを特徴とする半導体装置。

**【請求項 7】**

前記第 4 半導体領域の突片部の上面は、前記第 5 半導体領域の下面と対向することを特徴とする請求項 6 に記載の半導体装置。

**【請求項 8】**

前記第 2 半導体領域の表面領域に、前記第 2 半導体領域よりも高い不純物濃度を有する第 2 導電型の第 7 半導体領域を備え、第 1 の電極が電氣的に接続されることを特徴とする請求項 6 又は 7 に記載の半導体装置。

【請求項 9】

前記第 5 半導体領域の表面領域に形成され、且つ前記第 5 半導体領域よりも不純物濃度の高い第 8 半導体領域を備え、前記第 8 半導体領域にバックゲート電極が電氣的に接続されていることを特徴とする請求項 6 乃至 8 のいずれか 1 項に記載の半導体装置。

【請求項 10】

前記第 5 半導体領域は、前記第 6 半導体領域及び前記第 8 半導体領域を備える領域と、前記第 6 半導体領域及び前記第 8 半導体領域を備えない領域とを有し、両者は交互に且つ離間して形成されることを特徴とする請求項 9 に記載の半導体装置。

【請求項 11】

前記第 5 半導体領域の前記第 6 半導体領域及び前記第 8 半導体領域を備えない領域の下部には、前記第 4 半導体領域の突片部が形成されることを特徴とする請求項 9 又は 10 に記載の半導体装置。

【請求項 12】

前記第 5 半導体領域の前記第 6 半導体領域及び前記第 8 半導体領域を備える領域の下部には、前記第 4 半導体領域の突片部が形成されていないことを特徴とする請求項 9 乃至 11 のいずれか 1 項に記載の半導体装置。

【請求項 13】

前記第 7 半導体領域は、前記第 2 半導体領域の表面領域に形成され、前記第 7 半導体領域を包囲するように、前記第 5 半導体領域の前記第 6 半導体領域及び前記第 8 半導体領域を備える領域及び、前記第 6 半導体領域及び前記第 8 半導体領域を備えない領域とが交互に且つ離間して配置され、前記第 5 半導体領域を包囲するように前記第 3 半導体領域が閉環状に形成されていることを特徴とする請求項 9 乃至 12 のいずれか 1 項に記載の半導体装置。

【請求項 14】

前記半導体装置は、高圧抵抗素子を備えることを特徴とする請求項 6 乃至 13 に記載の半導体装置。

【書類名】明細書

【発明の名称】半導体装置

【技術分野】

【0001】

本発明は、静電気に対する耐量を上げた半導体装置に関連する。

【背景技術】

【0002】

一般的な高耐压横型MOSFET (Metal Oxide Semiconductor Field Effect Transistor) を備えた半導体装置では、バックゲート電極端子と接地用電極端子（グラウンド電極端子）とを、例えばチャネル形成用領域や接地領域を構成する拡散領域を介して電氣的に短絡し、バックゲート電極端子と接地用電極端子とを同一電位としている（例えば特許文献1）。

【0003】

しかし、上述の技術において、バックゲート電極端子に対して、接地用電極端子とは異なる電圧を印加したい場合、バックゲート領域と、接地領域とを電氣的に分離して形成させる必要がある。

そこで、バックゲート領域と接地領域とが電氣的に分離して形成される半導体装置が提案されている（例えば特許文献2）。

【0004】

図7は、高耐压横型MOSFETを備えた半導体装置を示す図である。

図7に示すように、高耐压横型MOSFETは、 $P^-$ 型半導体基板515と、この上にエピタキシャル成長によって形成されたドレイン領域として機能する $N^-$ 型半導体領域521と、接地領域として機能する上側 $P$ 型半導体領域513及び下側 $P$ 型半導体領域514と、チャネル形成用領域として機能する $P$ 型半導体領域519と、 $N^-$ 型半導体領域521内に形成されてドレインコンタクト領域として機能する第1 $N^+$ 半導体領域522と、 $P$ 型半導体領域519内に形成されてバックゲートコンタクト領域として機能する $P^+$ 型半導体領域512と、 $P$ 型半導体領域519内に形成されて、ソースコンタクト領域として機能する第2 $N^+$ 型半導体領域523とを有している。

【0005】

ドレインコンタクト領域として機能する第1 $N^+$ 半導体領域522は、ドレイン領域として機能する $N^-$ 型半導体領域521の表面領域に形成されている。

チャネル形成用領域として機能する $P$ 型半導体領域519は、第1 $N^+$ 半導体領域522を包囲するように環状に形成されている。

上側 $P$ 型半導体領域513は、 $P$ 型半導体領域519を包囲するように環状に形成されている。また、下側 $P$ 型半導体領域514は、上側 $P$ 型半導体領域513の下面に隣接するように形成されている。

【0006】

上側 $P$ 型半導体領域513には接地電極501が電氣的に接続されている。

バックゲートコンタクト領域として機能する $P^+$ 型半導体領域512には、バックゲート電極505が電氣的に接続されている。

ドレインコンタクト領域として機能する第1 $N^+$ 半導体領域522には、ドレイン電極502が電氣的に接続されている。

ソースコンタクト領域として機能する第2 $N^+$ 半導体領域523には、ソース電極504が電氣的に接続されている。

また、ソースコンタクト領域として機能する第2 $N^+$ 型半導体領域523と $N^-$ 型半導体領域521との間に配置された $P$ 型半導体領域519の上面には、ゲート絶縁膜531を介してゲート電極503が形成されている。

【特許文献1】特開2000-260981号公報

【特許文献2】特開平8-330580号公報

【発明の開示】

## 【発明が解決しようとする課題】

## 【0007】

しかし、上述の技術には、ドレイン電極502に印加された静電気に対する耐量が比較的小さく、ゲート絶縁膜531が破壊されるという問題点がある。

このゲート絶縁膜531の破壊は、以下に記述するメカニズムによって生じると考えられる。

## 【0008】

ドレイン電極502に負の静電気印加されると、換言すれば、接地電極501に比較的高い正の電位が印加されると、接地領域として機能する上側P型半導体領域513及び下側P型半導体領域514とドレイン領域として機能するN<sup>-</sup>型半導体領域521とによって形成される寄生ダイオードD<sub>p1</sub>を介してゲート電極503に正電位が付加される。

## 【0009】

また、バックゲート電極505にも、接地領域として機能する上側P型半導体領域513及び下側P型半導体領域514と、ドレイン領域として機能するN<sup>-</sup>型半導体領域521と、P型半導体領域519と、バックゲートコンタクト領域として機能するP<sup>+</sup>型半導体領域512とによって構成される寄生ダイオード（寄生トランジスタ）D<sub>p2</sub>を介して正電位が印加される。

## 【0010】

これにより、バックゲートコンタクト領域として機能するP<sup>+</sup>型半導体領域512と、P型半導体領域519と、N<sup>-</sup>型半導体領域521と、ドレインコンタクト領域として機能する第1N<sup>+</sup>型半導体領域522によって構成される経路（電流経路1）に比較的大きな電流が流れ、P型半導体領域519の横方向に電位差が生じる。

## 【0011】

一方、上側P型半導体領域513及び下側P型半導体領域514と、P<sup>-</sup>型半導体基板515と、N<sup>-</sup>型半導体領域521と、第1N<sup>+</sup>半導体領域522とから構成される経路（電流経路2）にも電流が流れるが、P<sup>-</sup>型半導体基板515の横方向の抵抗値が大きいため、電流回路2に流れる電流は電流回路1に流れる電流と比較して少ない。

## 【0012】

この結果ゲート電極503と、その下のP型半導体領域519との間に電位差が生じ、この電位差がゲート絶縁膜531の破壊耐量を超えるとゲート絶縁膜531の破壊に至る。

すなわち、ゲート絶縁膜531の破壊は、電流経路2の抵抗値が電流経路1の抵抗値と比較して大きいことに帰因すると考えられる。

## 【0013】

本発明は、上記実情に鑑みてなされたものであり、負の静電気に対する耐量を上げた半導体装置を提供することを目的とする。

## 【課題を解決するための手段】

## 【0014】

上記目的を達成するため、本発明の第1の観点に係る半導体装置は、第1導電型の第1半導体領域と、前記第1半導体領域上に形成された第2導電型の第2半導体領域と、前記第2半導体領域の表面領域に、前記第2半導体領域の外周に沿うように形成され、且つ前記第1半導体領域よりも不純物濃度の高い第1導電型の第3半導体領域と、前記第3半導体領域の下面に隣接し、且つ前記第1半導体領域よりも不純物濃度の高い第1導電型の第4半導体領域と、前記第2半導体領域の表面領域に形成された第1導電型の第5半導体領域と、第5半導体領域の表面領域に形成された第2導電型の第6半導体領域とを有し、

前記第2半導体領域に第1の電極が電気的に接続され、前記第6半導体領域に第2の電極が電気的に接続され、前記第5半導体領域の上面に絶縁膜を介して制御電極が形成された半導体装置であって、

前記第4半導体領域は、前記第1半導体領域及び前記第2半導体領域内に形成され、前記第3半導体領域よりも前記第5半導体領域側に延伸するように形成されていることを特

徴とする。

【0015】

前記第4半導体領域は、前記第2半導体領域を介して、前記第5半導体領域と対向してもよい。

【0016】

前記第2半導体領域の表面領域に、前記第2半導体領域よりも高い不純物濃度を有する第2導電型の第7半導体領域を備えてもよい。

【0017】

前記第5半導体領域の表面領域に形成され、且つ前記第5半導体領域よりも不純物濃度の高い第8半導体領域を備え、前記第8半導体領域にバックゲート電極が電氣的に接続されてもよい。

【0018】

前記第7半導体領域は、前記第2半導体領域の表面領域に形成され、前記第7半導体領域を包囲するように、前記第5半導体領域が閉環状に形成され、それを囲むように前記第3半導体領域が、閉環状に形成されてもよい。

【0019】

上記目的を達成するため、本発明の第2の観点に係る半導体装置は、第1導電型の第1半導体領域と、前記第1半導体領域上に形成された第2導電型の第2半導体領域と、前記第2半導体領域の表面領域に、前記第2半導体領域の外周に沿うように形成され、且つ前記第1半導体領域よりも不純物濃度の高い第1導電型の第3半導体領域と、前記第3半導体領域の下面に隣接し、且つ前記第1半導体領域よりも不純物濃度の高い第1導電型の第4半導体領域と、前記第2半導体領域の表面領域に形成された第1導電型の第5半導体領域と、第5半導体領域の表面領域に形成された第2導電型の第6半導体領域とを有し、

前記第2半導体領域に第1の電極が電氣的に接続され、前記第6半導体領域に第2の電極が電氣的に接続され、前記第5半導体領域の上面に絶縁膜を介して制御電極が形成された半導体装置であって、

前記第4半導体領域は、前記第1半導体領域及び前記第2半導体領域内に形成され、前記第3半導体領域よりも第1の電極側に延伸するように形成されている突片部と、前記突片部よりも第1の電極側に延伸しないように形成されている部分とを備えることを特徴とする。

【0020】

前記第4半導体領域の突片部の上面は、前記第5半導体領域の下面と対向してもよい。

【0021】

前記第2半導体領域の表面領域に、前記第2半導体領域よりも高い不純物濃度を有する第2導電型の第7半導体領域を備えてもよい。

【0022】

前記第5半導体領域の表面領域に形成され、且つ前記第5半導体領域よりも不純物濃度の高い第8半導体領域を備え、前記第8半導体領域にバックゲート電極が電氣的に接続されてもよい。

【0023】

前記第5半導体領域は、前記第6半導体領域及び前記第8半導体領域を備える領域と、前記第6半導体領域及び前記第8半導体領域を備えない領域とを有し、両者は交互に且つ離間的に形成されてもよい。

【0024】

前記第5半導体領域の前記第6半導体領域及び前記第8半導体領域を備えない領域の下部には、前記第4半導体領域の突片部が形成されてもよい。

【0025】

前記第5半導体領域の前記第6半導体領域及び前記第8半導体領域を備える領域の下部には、前記第4半導体領域の突片部が形成されなくてもよい。

【0026】

前記第 7 半導体領域は、前記第 2 半導体領域の表面領域に形成され、前記第 7 半導体領域を包囲するように、前記第 5 半導体領域の前記第 6 半導体領域及び前記第 8 半導体領域を備える領域及び、前記第 6 半導体領域及び前記第 8 半導体領域を備えない領域とが交互に且つ離間して配置され、前記第 5 半導体領域を包囲するように前記第 3 半導体領域が閉環状に形成されてもよい。

【0027】

前記半導体装置は、高圧抵抗素子を備えてもよい。

【発明の効果】

【0028】

本発明によれば、負の静電気に対する耐量を上げた半導体装置を提供することができる。

。

【発明を実施するための最良の形態】

【0029】

本発明の実施の形態に係る高耐圧横型 MOSFET (Metal Oxide Semiconductor Field Effect Transistor) を備える半導体装置に関して、図を用いて説明する。

【0030】

(第 1 の実施の形態)

図 1 は、本発明の第 1 の実施の形態に係る高耐圧横型 MOSFET (Metal Oxide Semiconductor Field Effect Transistor) を備える半導体装置を示す図である。

半導体装置上には、多数の半導体素子が形成されているが、図 1 及び後述する図 2 では、それらを省略している。

【0031】

図 1 及び図 2 に示すように、本実施の形態に係る半導体装置は、 $P^-$  型半導体基板 15 と、 $N^-$  型半導体領域 21 と、第 1  $N^+$  型半導体領域 22 と、 $P$  型半導体領域 19 と、 $P^+$  型半導体領域 12 と、第 2  $N^+$  型半導体領域 23 と、上側  $P$  型半導体領域 13 と、下側  $P$  型半導体領域 14 とを備える。

【0032】

$P^-$  型半導体基板 15 は、例えば、ホウ素 (B)、ガリウム (Ga) 等の  $P$  型不純物を拡散して形成された、 $P$  型のシリコン半導体から構成される。なお、シリコンに限らず、ガリウムなどにホウ素等を拡散させても良い。

【0033】

$N^-$  型半導体領域 21 は、 $P^-$  型半導体基板 15 の表面上に、例えばエピタキシャル成長によって形成され、ドレイン領域として機能する。 $N^-$  型半導体領域 21 は、例えば、リン (P)、ヒ素 (As) 等の  $N$  型不純物を含む、 $N$  型のシリコン半導体から構成されている。なお、シリコンに限らず、ガリウム-ヒ素等の化合物半導体から構成されていてもよい。

【0034】

第 1  $N^+$  型半導体領域 22 は、図 2 に示すように、ドレイン領域として機能する  $N^-$  型半導体領域 21 の表面領域に閉環状に形成されている。なお、第 1  $N^+$  型半導体領域 22 は、 $N^-$  型半導体領域 21 の表面領域に、平面形状が円形等の島状 (アイランド状) に形成されていても良い。

また、第 1  $N^+$  型半導体領域 22 には、ドレイン電極 2 が電氣的に接続されており、ドレインコンタクト領域として機能する。第 1  $N^+$  型半導体領域 22 は、例えば、リン (P)、ヒ素 (As) 等の  $N$  型不純物を含む、 $N$  型の半導体から構成され、 $N^-$  型半導体領域 21 より高い  $N$  型不純物濃度を有する。

【0035】

$P$  型半導体領域 19 は、 $N^-$  型半導体領域 21 の表面領域に、 $N^+$  型半導体領域 22 を包囲するように閉環状に形成されている。また、 $P$  型半導体領域 19 は、チャネル形成領域として機能する。 $P$  型半導体領域 19 は、例えば、ホウ素 (B)、ガリウム (Ga) 等の  $P$  型不純物を拡散して形成された、 $P$  型半導体から構成されており、 $P$  型半導体領域



19のP型不純物濃度は、P<sup>-</sup>型半導体基板15より高い。

【0036】

P<sup>+</sup>型半導体領域12は、P型半導体領域19の表面領域に形成され、バックゲート電極5が電氣的に接続されており、バックゲートコンタクト領域として機能する。P<sup>+</sup>型半導体領域12は、例えば、ホウ素(B)、ガリウム(Ga)等のP型不純物を拡散して形成されたP型半導体から構成され、P型半導体領域19等より高いP型不純物濃度を有する。

【0037】

第2N<sup>+</sup>型半導体領域23は、P型半導体領域19の表面領域に形成され、かつソース電極4が電氣的に接続されており、ソースコンタクト領域として機能する。第2N<sup>+</sup>型半導体領域23は、例えば、リン(P)、ヒ素(As)等のN型不純物を含む、N型の半導体から構成され、N<sup>-</sup>型半導体領域21より高いN型不純物濃度を有する。

【0038】

ソースコンタクト領域として機能する第2N<sup>+</sup>型半導体領域23と、N<sup>-</sup>型半導体領域21との間に配置された環状のP型半導体領域19の上面には、例えばシリコン酸化膜、シリコン窒化膜等から構成されるゲート絶縁膜31を介して、ゲート電極3が形成されている。

ゲート電極3に閾値電圧以上の電圧が印加されると、チャネルが形成される。

【0039】

上側P型半導体領域13は、接地電極1が電氣的に接続されており、接地領域として機能する。上側P型半導体領域13は、P型半導体領域19を包囲するように形成されている。上側P型半導体領域13は、P<sup>-</sup>型半導体基板15の表面領域に形成され、例えば、ホウ素(B)、ガリウム(Ga)等のP型不純物を拡散して形成された、P型半導体から構成される。上側P型半導体領域13のP型不純物濃度は、P<sup>-</sup>型半導体基板15より高い。

【0040】

下側P型半導体領域14は、上側P型半導体領域13の下面と下側P型半導体領域14の上面とが接するように、上側P型半導体領域13の下に形成されている。また、下側P型半導体領域14は、上側P型半導体領域13よりも第1N<sup>+</sup>型半導体領域22側に、P型半導体領域19の下まで延伸するように形成されており、N<sup>-</sup>型半導体領域21を介してP型半導体領域19と対向している。

【0041】

下側P型半導体領域14は、例えば埋め込み拡散等で形成される。下側P型半導体領域14は、P<sup>-</sup>型半導体基板15の表面領域に、例えば、ホウ素(B)、ガリウム(Ga)等のP型不純物を拡散させ、領域を形成した後、P<sup>-</sup>型半導体基板15上にN<sup>-</sup>型半導体領域21をエピタキシャル成長させた際に、P型不純物がN<sup>-</sup>型半導体領域21側に拡散することによって、P<sup>-</sup>型半導体基板15及びN<sup>-</sup>型半導体領域21内に形成される。また、下側P型半導体領域14のP型不純物濃度は、P<sup>-</sup>型半導体基板15より高い。

【0042】

このような半導体装置において、ドレイン電極2に負の静電気が印加される、換言すれば接地電極1に正の電位が印加されると、寄生ダイオードDp1を介してゲート電極3に正電位が負荷される。また、バックゲート電極5にも、寄生ダイオードDp2を介して正電位が負荷される。

【0043】

これにより、P<sup>+</sup>型半導体領域12と、P型半導体領域19と、N<sup>-</sup>型半導体領域21と、第1N<sup>+</sup>型半導体領域22によって構成される経路(電流経路1)及び、上側P型半導体領域13及び下側P型半導体領域14と、P<sup>-</sup>型半導体基板15と、N<sup>-</sup>型半導体領域21と、第1N<sup>+</sup>半導体領域22とから構成される経路(電流経路2)に電流が流れる。

【0044】

本実施の形態において、下側 P 型半導体領域 14 が上側 P 型半導体領域 13 よりも第 1  $N^+$  型半導体領域 22 側に、P 型半導体領域 19 の下まで延伸している。

また、下側 P 型半導体領域 14 は、 $P^-$  型半導体基板 15 と比較して P 型不純物濃度が高く、下側 P 型半導体領域 14 の抵抗値は、 $P^-$  型半導体基板 15 の抵抗値より低い。

#### 【0045】

従って、下側 P 型半導体領域 14 が延伸した分だけ、電流経路 2 の抵抗値が低くなり、正電位が印加された場合に、電流経路 2 に流れる電流が相対的に増加し、反対に電流経路 1 に流れる電流が相対的に減少する。

結果として、ゲート電極 3 と、その下の P 型半導体領域 19 との電位差が小さくなり、ゲート絶縁膜 31 の破壊が防止できる。

#### 【0046】

以上の構成によれば、電流経路 2 の抵抗値が、電流経路 1 の抵抗値よりも小さくなるため、ドレイン電極 2 に負の静電気が印加された際、電流経路 1 を流れる電流が相対的に小さくなり、ゲート電極 3 とその下の P 型半導体領域 19 との間に生じる電位差が小さくなる。結果として、ゲート絶縁膜 31 の破壊を良好に防止することができる。

また、本実施の形態の構成によれば、他の素子の大きさ、耐圧などの諸特性を変えずに、負の静電気に対する耐量を上げることができる。

#### 【0047】

(第 2 の実施の形態)

図 3 は、本発明の第 2 の実施の形態に係る高耐圧横型 MOSFET (Metal Oxide Semiconductor Field Effect Transistor) を備える半導体装置の平面図である。

本実施の形態においても、第 1 の実施の形態と同様に、半導体装置上には多数の半導体素子が形成されているが、それらを省略する。

#### 【0048】

本実施の形態における第 1 の実施の形態に係る半導体装置との相違点は、P 型半導体領域 19 が 2 種類存在する点と、下側 P 型半導体領域 14 の形状が異なる点である。

第 1 の実施の形態と同様の構成を採る部分に関する詳細な説明は省略する。

#### 【0049】

図 3 に示すように、本実施の形態に係る半導体装置は、点 O を中心として  $N^+$  型半導体領域 22 が閉環状に構成されており、それを取り囲むように、P 型半導体領域 19 a 及び 19 b とが交互に且つ間欠的に形成される。下側型半導体領域 14 は、閉環状に形成され、複数の突片部 14 a を備える。また、上側 P 型半導体領域 13 は、第 1  $N^+$  型半導体領域 22 と、P 型半導体領域 19 a 及び 19 b とを包囲するように閉環状に形成される。

なお、第 1  $N^+$  型半導体領域 22 は、 $N^-$  型半導体領域 21 の表面領域に、平面形状が円形等の島状 (アイランド状) に形成されていても良い。

#### 【0050】

P 型半導体領域 14 の突片部 14 a は、P 型半導体領域 19 a の下側に形成されているが、P 型半導体領域 19 b の下側には形成されていない。

従って、P 型半導体領域 19 b と、下側 P 型半導体領域 14 の突片部 14 a とは、交互に配置され、両者は重なり合わない構造となる。

#### 【0051】

P 型半導体領域 19 a は、図 4 に示すように、バックゲートコンタクト領域として機能する  $P^+$  型半導体領域 12 と、ソースコンタクト領域として機能する第 2  $N^+$  型半導体領域 23 とを備えておらず、P 型半導体領域 19 a の側面は上側 P 型半導体領域 13 に隣接して形成されている。また、P 型半導体領域 19 a の下面と下側 P 型半導体領域 14 の突片部 14 a の上面とは接している。

#### 【0052】

P 型半導体領域 19 b は、図 5 に示すように、P 型半導体領域 19 a と異なり、バックゲートコンタクト領域として機能する  $P^+$  型半導体領域 12 と、ソースコンタクト領域として機能する第 2  $N^+$  型半導体領域 23 とを備えており、上側 P 型半導体領域 13 から離

間して形成されている。また、P型半導体領域19aと異なり、P型半導体領域19bの下側には、下側P型半導体領域14が形成されていない。

#### 【0053】

このような半導体装置において、P型半導体領域14に突片部14aを形成したので、第1の実施の形態で記述したと同様に、突片部14aが延伸した分だけ電流経路2の抵抗値が低下し、電流経路2に流れる電流は相対的に増加する。結果として、ゲート電極3とその下のP型半導体領域19a間の電位差を小さくすることができ、ゲート絶縁膜31の破壊が防止される。

特に、本実施の形態においては、下側P型半導体領域14を厚く形成できるので、電流経路2の抵抗値をより小さくすることができる。

#### 【0054】

以上の構成によれば、ドレイン電極2に負の静電気が印加された際、ゲート絶縁膜31の破壊を防止することができる。

一方、P型半導体領域19bの下側には、下側P型半導体領域14が形成されていないことによって、高耐压設計等が容易である。

#### 【0055】

(第3の実施の形態)

図6は、本発明の第3の実施の形態に係る高耐压横型MOSFET (Metal Oxide Semiconductor Field Effect Transistor) を備える半導体装置の平面図である。

第3の実施の形態に係る高耐压横型MOSFETの構成は、高圧抵抗素子がさらに加わっている点を除き、第2の実施の形態に係る高耐压横型MOSFETと同一の構成を採る。上側P型半導体領域13、下側P型半導体領域14、P型半導体領域19a及び19b等、第2の実施の形態と同様の構成を採る部分に関する詳細な説明は省略する。

#### 【0056】

本実施の形態に係る半導体装置と、第2の実施の形態に係る半導体装置との差異は、高圧抵抗素子が備わっている点にある。

#### 【0057】

具体的には、上側P型半導体領域13の一部に切り欠け部分を設け、この切り欠け部分を通じて、ドレイン領域を構成するN<sup>-</sup>型半導体領域121を上側P型半導体領域13の外周側に帯状に形成する。また、帯状に形成したN<sup>-</sup>型半導体領域21の、終端部分にN<sup>+</sup>型半導体領域125を形成する。

この帯状に構成されたN<sup>-</sup>型半導体領域121は、上側P型半導体領域113に包囲され、高圧抵抗素子として機能する。

#### 【0058】

以上の構成を採ることによって、高圧抵抗素子と複合化させることも可能となる。

#### 【0059】

本発明は、上述した実施例の構成に限られず、様々な変形、応用が可能である。

例えば、第2の実施の形態及び第3の実施の形態において、下側P型半導体領域14の突片部14aの上側にP型半導体領域19aを形成しない構成を採用することもできる。

#### 【0060】

なお、第1の実施の形態において、電流経路2の抵抗値を、電流経路1の抵抗値と比較して十分小さくするためには、下側P型半導体領域14をチャネル形成用領域として機能するP型半導体領域19の中心よりもドレイン電極2側まで延伸させるのが良い。

#### 【0061】

更に好ましくは、下側P型半導体領域14のドレイン電極2側の端部が、P型半導体領域19のドレイン電極側の端部よりも、ドレイン電極2側に位置するように延伸させるのが良い。例えば、P型半導体領域19よりも2 $\mu$ m以上、好ましくは10 $\mu$ m以上、ドレイン電極2側に延伸させると良い。

#### 【図面の簡単な説明】

#### 【0062】

- 【図 1】 第 1 の実施の形態における半導体装置の断面図である。  
【図 2】 第 1 の実施の形態における半導体装置の平面図である。  
【図 3】 第 2 の実施の形態における半導体装置の平面図である。  
【図 4】 図 3 における A O 断面図である。  
【図 5】 図 3 における B O 断面図である。  
【図 6】 第 3 の実施の形態における半導体装置の平面図である。  
【図 7】 従来技術における半導体装置の断面図である。

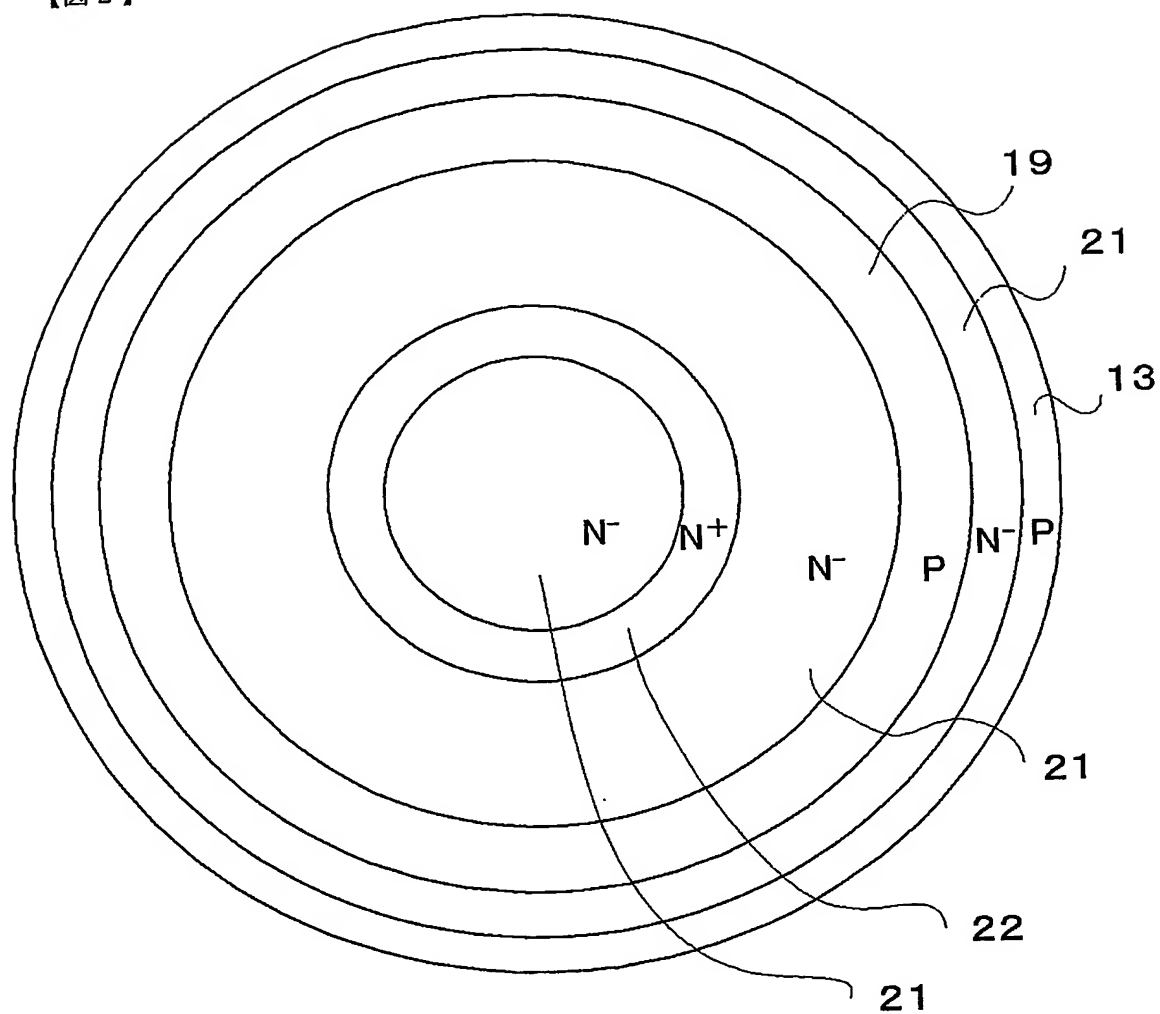
## 【符号の説明】

## 【0063】

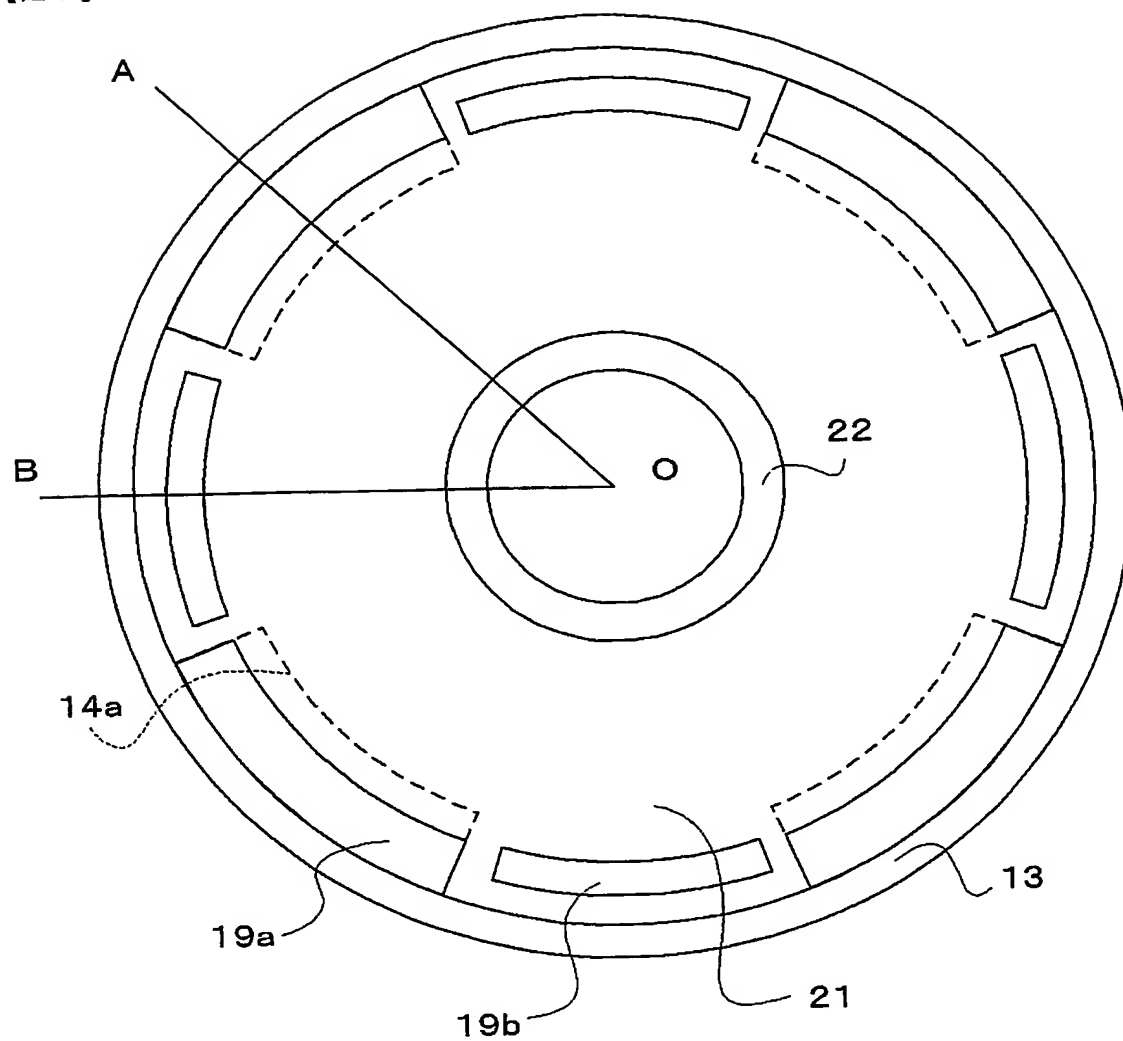
- 1 接地電極
- 2 ドレイン電極
- 3 ゲート電極
- 4 ソース電極
- 5 バックゲート電極
- 12  $P^+$  型半導体領域
- 13 上側 P 型半導体領域
- 14 下側 P 型半導体領域
- 14a 突片部
- 15  $P^-$  型半導体基板
- 19 P 型半導体領域
- 19a P 型半導体領域
- 19b P 型半導体領域
- 21  $N^-$  型半導体領域
- 22 第 1  $N^+$  型半導体領域
- 23 第 2  $N^+$  型半導体領域
- 31 ゲート絶縁膜



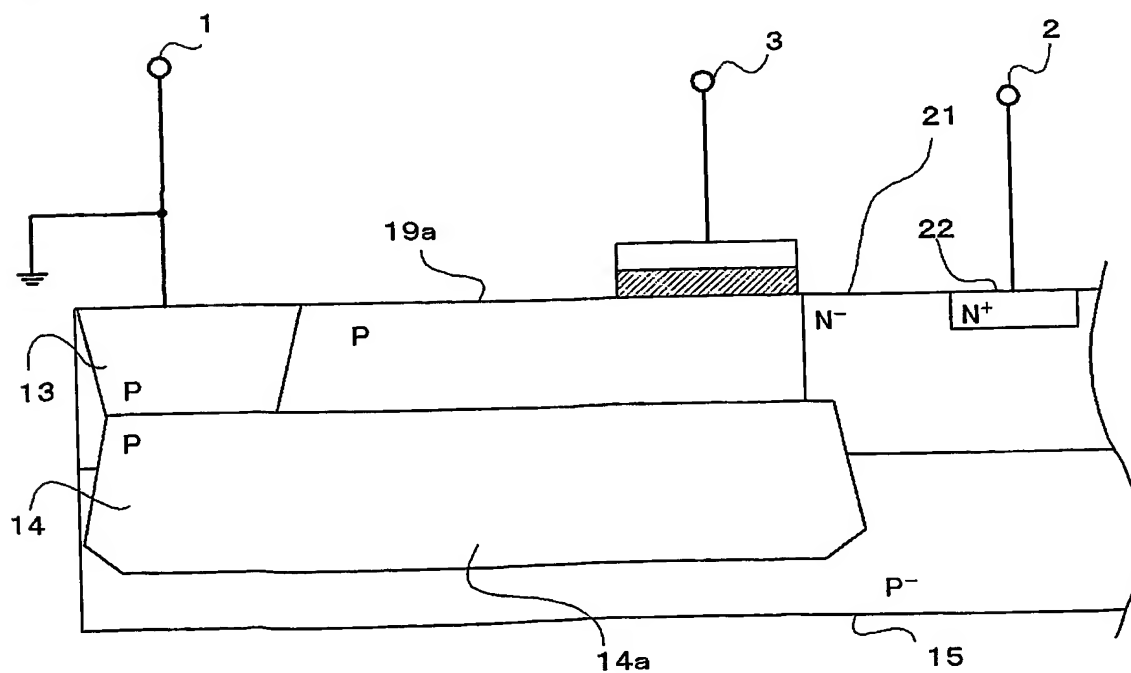
【図 2】



【図 3】



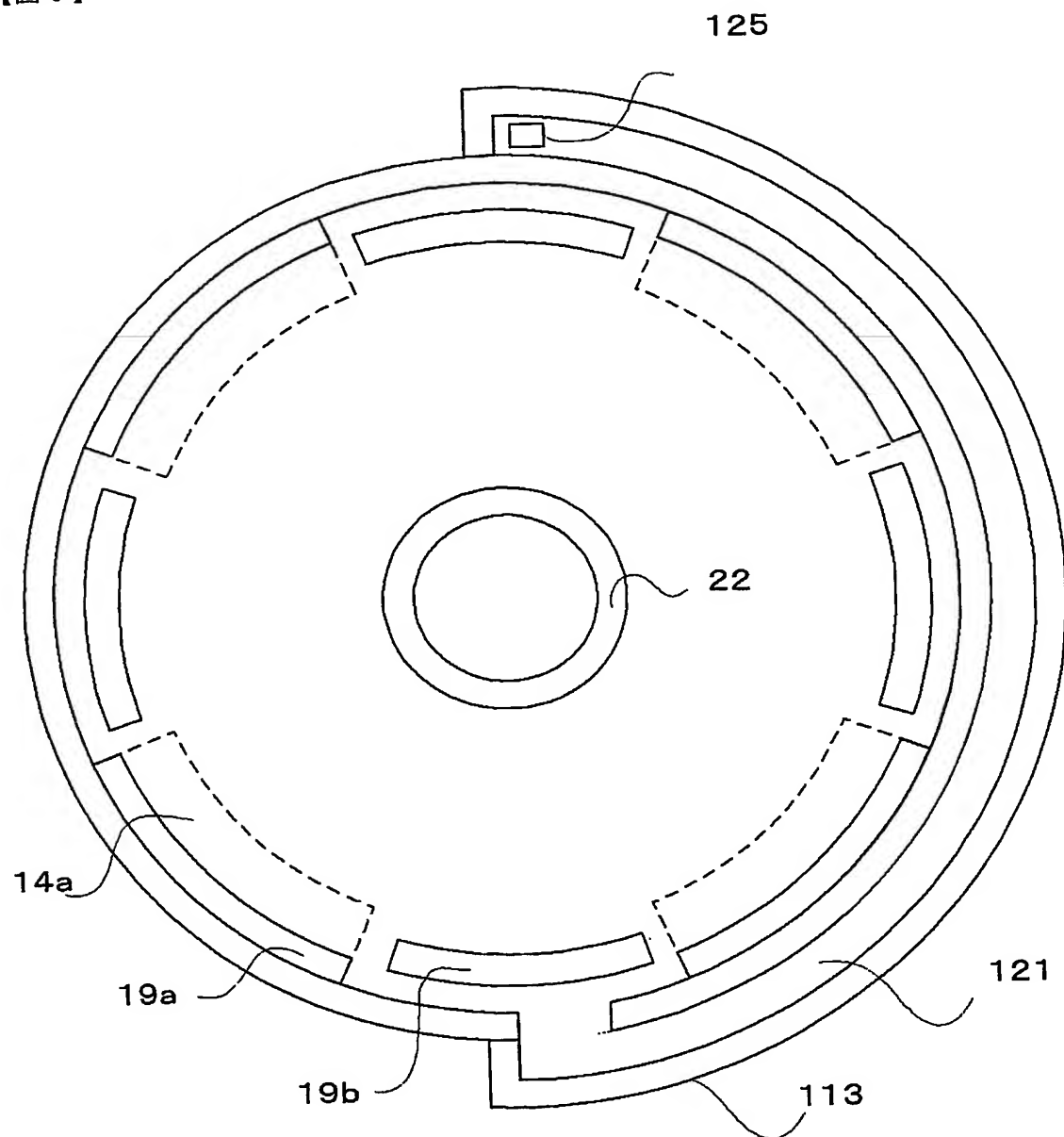
【図 4】







【図 6】





## 【書類名】要約書

## 【要約】

【課題】 負の静電気に対する耐量を上げた半導体装置を提供することを目的とする。

## 【解決手段】

P<sup>-</sup>型半導体基板 15 と、P<sup>-</sup>型半導体基板 15 の上に形成される N<sup>-</sup>型半導体領域 21 と、N<sup>-</sup>型半導体領域 21 の表面領域に形成され、接地電極 1 が電氣的に接続される上側 P 型半導体領域 13 と、上側 P 型半導体領域 13 の下に形成される下側 P 型半導体領域 14 と、ドレイン電極 2 が電氣的に接続される第 1 N<sup>+</sup>型半導体領域 22 と、チャネル形成領域として機能する P 型半導体領域 19 と、バックゲート電極 5 が電氣的に接続される P<sup>+</sup>型半導体領域 12 と、ソース電極 4 が電氣的に接続される第 2 N<sup>+</sup>型半導体領域 23 と、P 型半導体領域 19 の上にゲート電極 3 及びゲート絶縁膜 31 を備える半導体装置において、下側 P 型半導体装置 14 は、第 1 N<sup>+</sup>型半導体領域 22 側に延伸している。

【選択図】 図 1

特願 2 0 0 4 - 0 9 3 7 0 2

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 1 0 6 2 7 6 ]

1. 変更年月日  
[変更理由]  
住 所  
氏 名

1 9 9 0 年 8 月 3 1 日  
新規登録  
埼玉県新座市北野 3 丁目 6 番 3 号  
サンケン電気株式会社

# Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/003161

International filing date: 25 February 2005 (25.02.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP  
Number: 2004-093702  
Filing date: 26 March 2004 (26.03.2004)

Date of receipt at the International Bureau: 24 March 2005 (24.03.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland  
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse